

Revisiones	Fecha	Comentarios
0	01/11/06	
1	01/12/08	actualiza gráfico mapa de memoria (más claro)

El presente tutorial se orienta a introducir los microcontroladores Ramtron a los ingenieros y developers familiarizados con otras tecnologías. Primero destacamos los puntos fundamentales de la arquitectura MCS51, para luego analizar los aspectos que los diferencian. Este tutorial está basado en los primeros miembros de esta familia, VRS51L2070 y VRS51L3074.

Índice de contenido

Arquitectura.....	2
Agregados y modificaciones de Ramtron.....	2
Periféricos.....	5
Puertos de I/O.....	5
Watchdog timer.....	5
Oscilador interno y control de velocidad de ejecución.....	5
Interrupciones.....	5
Timers.....	5
PWC (Pulse Width Counters).....	5
Enhanced Arithmetic Unit: MAC, unidad de división, barrel shifter.....	6
UARTs.....	6
PWM.....	6
SPI.....	7
I2C.....	7
Herramientas de desarrollo.....	7

Arquitectura

La arquitectura de los microcontroladores de Ramtron está basada en la arquitectura MCS51, popularmente conocida como "8051-compatible", inicialmente desarrollada por Intel y actualmente comercializada por diversos fabricantes.

La siguiente es una descripción enumerando aquellos factores arquitectónicos standard que facilitan la comprensión:

- Se basa en la arquitectura Harvard, dispone de una memoria de instrucciones, y una de datos. Los buses no se hallan del todo separados, lo cual, convenientemente, permite la existencia de un registro Stack Pointer que mantiene un stack en la memoria de datos, con instrucciones propias de manejo de stack (PUSH, POP, etc), pero que se utiliza además para guardar las direcciones de retorno en llamados a subrutinas e interrupciones. Realiza además una separación entre memoria externa e interna, lo que le permite duplicar algunos espacios de direccionamiento.
- La ALU puede realizar operaciones lógicas y aritméticas utilizando direccionamiento directo, indirecto o inmediato, y el acumulador (registro A). El resultado de la operación generalmente se aloja en el acumulador, aunque algunas operaciones lógicas pueden hacerse directamente sobre la memoria, sin utilizar el acumulador.
- Posee un set de cuatro bancos de ocho registros (Ri) que se ven a su vez en la parte baja del mapa de memoria interna de datos. Dos de estos registros, R0 y R1, pueden utilizarse como punteros para direccionamiento indirecto.
- Es posible cargar un dato inmediato en memoria de datos interna y también mover directamente de una posición a otra en dicha memoria.
- Dispone de registros para funciones especiales (SFR, Special Function Registers) mapeados en la parte alta del mapa de memoria interna de datos. Para discernir entre una y otra, se emplea el modo de direccionamiento: modo directo accede a los SFR e indirecto (MOV @Ri) a la memoria.
- El registro de estado (PSW) de la CPU, el acumulador (ACC) y el Stack pointer (SP) se ven como un SFR más. El estado de la última operación se obtiene accediendo a la posición de PSW en memoria de datos, como una variable más, aunque las operaciones condicionales incorporan el mnemónico correspondiente, no es necesario preguntar de forma explícita como en otras arquitecturas.
- Existe un registro B que se utiliza como MSB y resto del resultado de las instrucciones MUL y DIV, respectivamente. Este registro sólo es accesible como SFR para cualquier otra operación.
- La memoria de datos externa se direcciona solamente de forma indirecta, mediante el uso de registros internos (R0 ó R1), en los primeros 256 bytes (MOVX @Ri); o mediante un SFR de 16-bits (DPTR) que sirve de puntero (MOVX @DPTR)
- La memoria de programa puede leerse mediante una instrucción especial (MOVC) que permite direccionamiento indexado, especial para lectura de tablas.
- Todos los periféricos se ven desde la CPU como SFRs. De igual modo, algunas características de funcionamiento de la CPU (habilitación de interrupciones) se modifican mediante SFRs.
- Dispone de un área de memoria interna de datos direccionable como mapa de bits, en la cual se accede a cada bit de forma independiente por su dirección dentro del mapa. Algunos SFRs, como por ejemplo los ports de I/O, el PSW y el ACC, también son bit-addressables.
- La arquitectura permite interrupciones vectorizadas, aunque en realidad se trata de offsets fijos. Una interrupción ocasiona un salto a una posición fija en memoria de instrucciones, dependiente de la causa de la interrupción. El contenido del PC se guarda en el stack para permitir su recuperación al ejecutar una instrucción de retorno, que restablece el estado de las interrupciones. No se salva el contexto de la CPU, el programa debe salvar el registro PSW y el acumulador en alguna posición de memoria, o emplear las instrucciones de manejo de stack direccionándolos como SFR. Como sólo las operaciones aritméticas y lógicas afectan el PSW, es posible prescindir de salvar este registro si el interrupt handler realiza funciones clásicas.

Agregados y modificaciones de Ramtron

Sin ánimo de enumerar todas las opciones adicionales, que son muchas, comentamos aquéllas que nos parecen más interesantes o innovadoras.

Single-cycle core

El core de los microcontroladores de Ramtron es compatible con esta arquitectura, sin embargo el timing de las instrucciones no lo es. En un 8051 standard, un ciclo de máquina es de 12 ciclos de clock, por lo que un procesador de 12 MHz ejecuta a lo sumo un millón de instrucciones por segundo (1MIPS), si todas son de un ciclo de máquina. En Ramtron, el core es single-cycle, por lo que un VRS51L3074 a 40MHz ejecuta como máximo 40MIPS, si todas son de un ciclo de máquina. Cada grupo de instrucciones tiene, además, su timing particular en cantidad de ciclos de máquina.

Debugging: JTAG

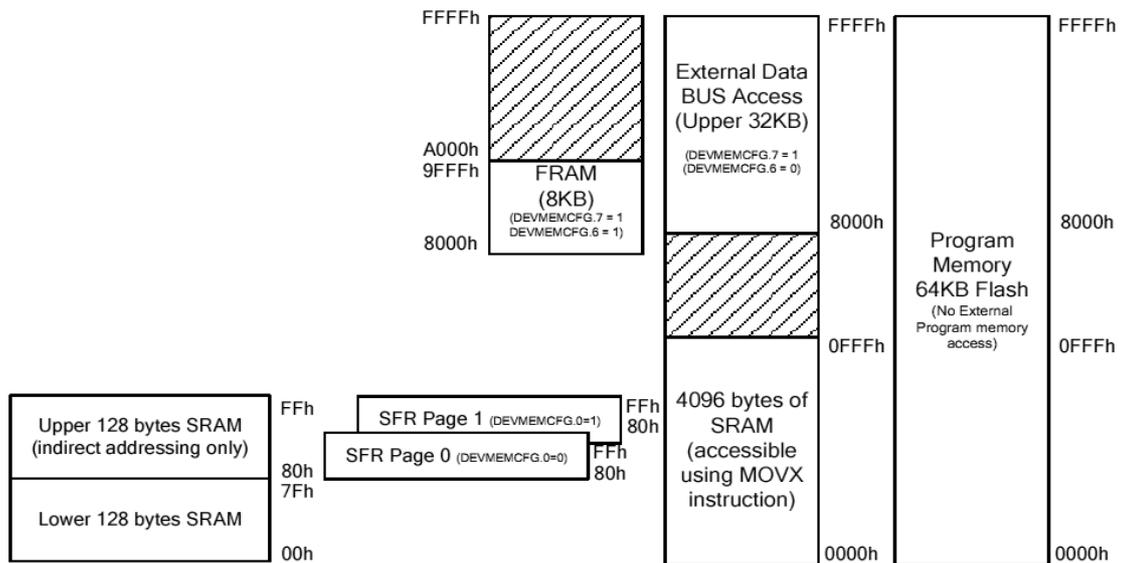
El procesador incorpora soporte para debugging en circuito, mediante un port JTAG. Existen cinco registros para breakpoints.

IAP (In Application Programming)

Una característica de la arquitectura es la imposibilidad de escribir en memoria de programa. A fin de permitir la escritura de la misma dentro de la aplicación, como parte de un proceso de actualización de firmware en campo o almacenamiento de constantes de calibración o datos no volátiles, Ramtron incorpora un set de registros conocido como FPI (Flash Programming Interface). Este grupo de SFRs se encarga de permitir un acceso indirecto a la memoria de programa a través de los mismos, cargando la dirección a acceder en una pareja de éstos y los datos en otro. De igual modo, el control de borrado y escritura y la protección contra la misma se realizan a través de este set de registros.

Contrariamente a otras arquitecturas basadas en MCS-51, Ramtron no permite grabar la flash de forma paralelo, sólo JTAG o dentro de la aplicación (IAP) mediante la FPI.

Mapa de memoria



Páginas de SFRs

A fin de permitir alojar la gran cantidad de SFRs, se presentan dos páginas de éstos, las cuales se seleccionan mediante un bit en un SFR que obviamente figura en ambas páginas (DEVMEMCFG).

Dual datapointers

Existen dos datapointers, el primero es idéntico al standard de MCS51, y el segundo se halla en los dos SFR siguientes. Existe un SFR adicional que permite seleccionar el DPTR activo. Una vez seleccionado, todas las instrucciones que utilizan el DPTR emplean el que ha sido seleccionado.

FRAM

Los chips que incorporan FRAM la mapean dentro del área de memoria de datos externa, de modo que su utilidad es el almacenamiento de datos no-volátiles, no es posible ejecutar código. Existen varios SFRs que controlan la forma de acceso y protección de la FRAM. A fin de poder controlar el consumo, existen una serie de opciones para controlar la velocidad de operación de la FRAM.

Al ser memoria de datos externa en una posición de memoria alta, el acceso a la FRAM se realiza mediante la instrucción MOVX, a la posición apuntada por DPTR

SRAM adicional en chip.

Una cantidad importante de memoria SRAM incluida en el chip se mapea en el área de memoria de datos externa, no generándose señales externas de acceso al bus. Mediante un bit en un SFR, puede pasarse esta memoria al mapa de memoria de programa externa, permitiendo ejecución de código en RAM.

Direccionamiento indirecto a SFRs

A fin de agilizar el manejo de los SFR, Ramtron permite un direccionamiento indirecto sobre los mismos. Para esto, se modifica una instrucción (A5: NOP), de modo de poder utilizar el acumulador como puente y cualquiera de los registros Ri en cualquiera de los bancos como puntero. El bit más significativo de Ri indica si la operación es de lectura o escritura del SFR, el Ri se indica mediante una dirección de 00 a 1F luego del opcode A5, y la transferencia se realiza desde o hacia el acumulador. Este comportamiento se habilita mediante un bit en un SFR

```

// Perform Indirect Write of Value 0xAA
// into USERFLAGS SFR address (0xF8) using indirect SFR WRITE
ORL 0x87, #0x10      ;SET A5 for indirect SFR addressing
MOV 0xF8,#00        ;Clear USERFLAGS
MOV A, #0xAA        ;Acc = AAh
MOV R0, #0x78       ;R0 (bank1) = address USERFLAGS (F8h)
                    ;with Bit 7 cleared
.db 0xA5            ;Perform the indirect SFR write
.db 0x00            ;After the second .db instruction,
                    ;USERFLAGS contains the value 0xAA
ANL 0x87, #0xEF     ;Set A5 for NOP operation

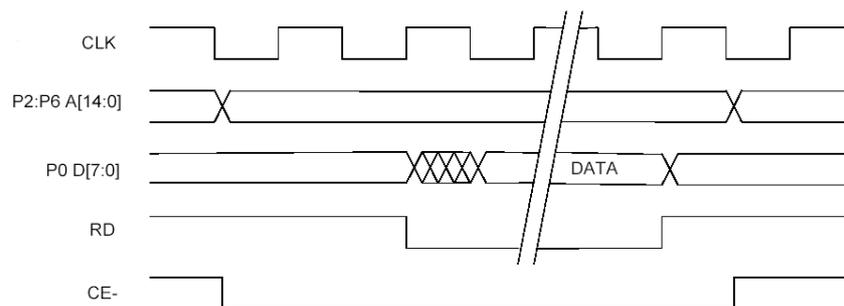
// Perform Indirect Read of Value in USERFLAGS SFR Address (0xF8)
// into ACC using indirect SFR READ function
ORL 0x87, #0x10     ;SET A5 for indirect SFR addressing
MOV A,#0x00         ;Acc = 00h
MOV R0, #0xF8       ;R0 (bank1) = address P2 with Bit 7 cleared
.db 0xA5            ;Perform the indirect SFR Read
.db 0x00            ;After the second .db instruction,
                    ;Acc contain the value 0xAA
ANL 0x87, #0xEF     ;Set A5 for NOP operation

```

Acceso a memoria y/o dispositivos externos

La parte superior del mapa de memoria externa de datos, 32KB, se reserva para conectar dispositivos externos, sean éstos memorias o periféricos. En este último caso, existe la opción de configurar chip selects de modo similar a los IOSTROBES de Rabbit, de forma que no sea necesaria glue-logic para su conexión.

El acceso a memoria de datos externa puede ser con buses multiplexados, como tradicionalmente, o no, utilizando un port extra (P6) para la parte baja del bus de direcciones:



No se tiene acceso a memoria de programa externa.

Direccionamiento indirecto en memoria de datos externa

Existe un SFR denominado MPAGE que permite utilizar direccionamiento indirecto en toda la memoria de datos externa. El modo indirecto, como vimos, se halla restringido a los primeros 256 bytes de la memoria, dado que un registro Ri sólo puede especificar 1 byte. Mediante MPAGE se provee el byte adicional, es decir, este SFR selecciona páginas de 256 bytes a ser accedidas mediante MOVX @Ri.

Periféricos

Los microcontroladores de Ramtron poseen periféricos similares a los standard de MCS-51; sin embargo, dada la gran cantidad de modificaciones y periféricos adicionales, haremos una enumeración.

Puertos de I/O

Si bien los micros son de 3,3V; los puertos de entrada/salida son en su gran mayoría 5V-tolerant. Los tiempos de conmutación están limitados, de modo de reducir la radiación de interferencias y minimizar la generación de ruido. El VRS51L3074 posee siete puertos de I/O, un total de 56 líneas de entrada/salida.

La operación de los ports es diferente de la tradicional de MCS51, cada port posee un registro de control en el cual se puede seleccionar el sentido de operación del pin. Las salidas son de tipo push-pull, no existen salidas open-drain, y uno de los puertos (P5) puede entregar 15mA por pin; sin embargo no deben superarse los 100mA en total. Al configurarse como entradas, se habilita un pull-up débil.

Generalmente existen varias opciones de selección, de modo que la gran variedad de periféricos pueda compartir los pines entre sí.

Watchdog timer

El watchdog timer permite ser seteado para tiempos de aproximadamente entre 500 microsegundos y 6,7 segundos. Alternativamente, puede utilizarse como timer.

Oscilador interno y control de velocidad de ejecución

Se incorpora una gran variedad de opciones de ejecución, entre ellas un divisor entre 1:1 y 1:32768, para seleccionar la velocidad de operación y como consecuencia el consumo. El procesador puede operar de su oscilador interno de 40MHz +- 300KHz, con una estabilidad del 2% en el rango comercial y 3% en el rango industrial, o bien de un oscilador externo.

Cambio de velocidad de ejecución en respuesta a una interrupción

Es posible habilitar una funcionalidad que permite que el procesador opere a una velocidad reducida, disminuyendo su consumo, pero pudiendo retomar toda su potencia ante una interrupción, de forma automática. Esto se setea en un SFR. De esta forma, es posible mantener un consumo reducido durante un largo tiempo, pero poder responder de forma rápida a interrupciones para procesos que requieren baja latencia.

Interrupciones

Muchos de los periféricos pueden generar interrupciones, así como también el cambio de estado en algunos de los pines. En total, en el VRS51L3074, hay 49 fuentes de interrupción posibles. El micro posee dieciséis vectores de interrupción, cada uno de los cuales puede asignarse a un periférico o a un pin; en este último caso configurando además flanco o nivel y polaridad. De igual modo, la prioridad es seleccionable.

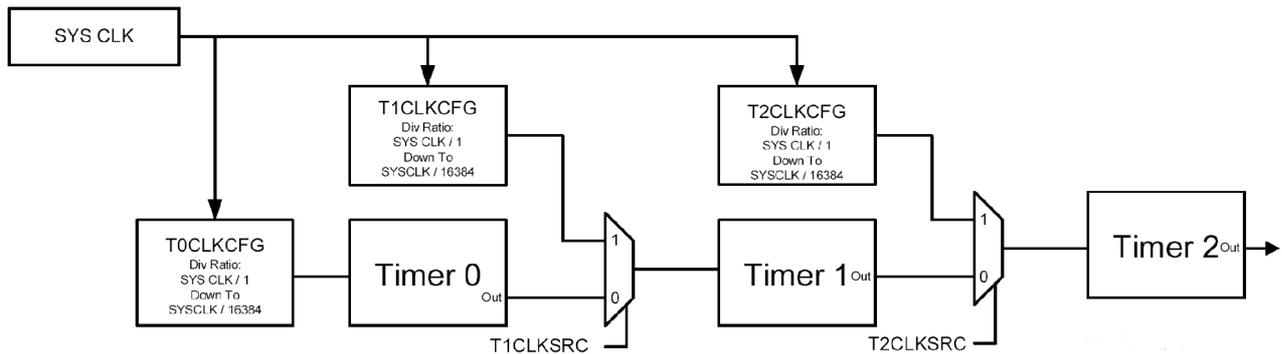
Timers

La estructura de timers de los microcontroladores de Ramtron tiene algunas diferencias respecto a la tradicional de MCS-51. En la misma, se ha simplificado la forma de configuración, y se han agregado algunas características interesantes:

- Los timers 0 y 1 pueden operar cada uno como un timer de 16-bits o dos timers de 8-bits
- Todos los timers pueden contar de forma ascendente o descendente, incluyendo un divisor programable (prescaler)
- Todos los timers poseen una salida que puede generar un pulso o cambiar de estado cuando el timer hace overflow
- Cada timer posee una entrada para utilizar en modo contador, y un pin de habilitación de cuenta
- Es posible hacer una conexión encadenada de dos o tres timers, formando un timer/counter de 24, 32, ó 48-bits.

PWC (Pulse Width Counters)

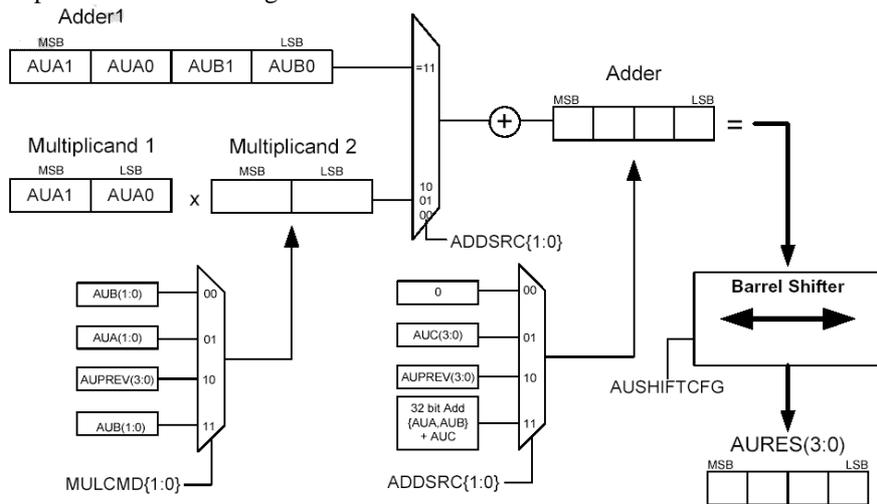
Existen dos módulos para medición de ancho de pulso, asociados a los timers 0 y 1. Mediante éstos, se puede elegir un pin para arrancar la cuenta y otro para detenerla, ambos con flanco seleccionable. De este modo, puede utilizarse uno de estos timers (o ambos) para medir el ancho de pulso de la señal observada en un pin, o la diferencia de fase entre dos señales en dos pines seleccionados, por ejemplo. Estos módulos pueden generar interrupciones, y existen flags para observar el estado de funcionamiento.



Enhanced Arithmetic Unit: MAC, unidad de división, barrel shifter

Dentro de los SFRs de la página adicional encontramos una muy poderosa unidad aritmética. La misma incluye una MAC (Multiply-ACcumulate), una unidad de división, y un barrel shifter, que simplifican y aceleran notablemente las operaciones con números enteros, coma fija, y coma flotante. Excepto la división (16-bits, 5 ciclos), todas las operaciones se efectúan en un ciclo de clock. El barrel shifter opera sobre el resultado de la operación, pudiendo escalarlo sin que por ello se demore la entrega, que como viéramos es inmediata.

La unidad aritmética posee dos registros de 16-bits para los operandos, y un registro de 32-bits para el resultado, más un registro adicional de 32-bits que puede realizar sumas de 32-bits contra los dos registros anteriores de 16-bits, concatenados. El resultado de la operación anterior puede sumarse al resultado de la multiplicación en curso, tarea típica de MAC. Las operaciones son con signo¹.



UARTs

Las UARTs de los microcontroladores de Ramtron también tienen algunas diferencias respecto a los serial ports de MCS-51. Fundamentalmente, cada una dispone de un baud rate generator de 16-bits para la velocidad de operación, y los SFRs de acceso y configuración son diferentes. existen además 4-bits adicionales para realizar un ajuste fino, permitiendo operación con clocks de frecuencias que no son múltiplos exactos de la velocidad a utilizar o de las velocidades standard, como por ejemplo el oscilador interno.

Operan solamente en modo asincrónico (UARTs), en 8 ó 9-bits, 1 ó 2-bits de stop. Cada UART es doble buffered, y tiene un vector de interrupción que comparte entre las funciones de dato recibido, buffer de transmisión libre y overrun. La velocidad de operación es de hasta 1/32 del reloj del sistema.

PWM

Se dispone de un módulo PWM de ocho canales de 16-bits, en los cuales la frecuencia de reloj del sistema puede obtenerse de dos prescalers con opción desde 1:1 hasta 1:16384, uno para los módulos 0 a 3 y otro para los módulos 4 a 7. Cada uno de los canales dispone de dos registros, uno de los cuales setea la resolución (y frecuencia) del canal, modificando el módulo del contador, mientras que el otro decide el punto de cambio de estado intermedio y por

¹ Es posible trabajar sin signo limitando el rango, es decir, manteniendo el bit más significativo en cero.

consiguiente el ancho de pulso. El modo de operación es el que comúnmente se conoce como buffered, en el cual la operación se modifica al completarse un ciclo. Existe además una opción de demorar la actualización de la configuración, de modo de poder alterar varios generadores a la vez.

Los generadores de PWM, alternativamente, pueden utilizarse como timers; en cuyo caso pueden generar interrupciones.

SPI

Los microcontroladores incorporan una interfaz SPI de velocidad programable con las siguientes características:

- Puede operar como master o slave
- Soporta los cuatro modos de polaridad y fase
- Controla de forma automática hasta cuatro líneas de selección (CS), permitiendo configurar la polaridad
- La cantidad de bits por cada transacción es configurable
- Permite seleccionar MSB primero o LSB primero
- Permite generar una señal de frame select o load de forma automática
- La velocidad máxima de operación es de 1/2 del reloj del sistema

I²C

La interfaz I²C puede configurarse como master o slave, permitiendo control manual de la señal de clock y arbitraje entre varios masters en el mismo bus. La velocidad de operación puede ajustarse entre 4,8 KHz y 1,25MHz. En modo slave, el device ID es configurable mediante SFRs.

Herramientas de desarrollo

Según hemos visto, la CPU es compatible MCS-51, por lo que puede utilizarse cualquier herramienta de desarrollo que soporte a esta familia, incluyendo gran cantidad de monitores que existen en forma comercial, gratuita, o de dominio público.

Para el desarrollo, muchos sistemas integrados de desarrollo (IDE) en lenguaje C permiten el uso de assembler en forma gratuita, o limitan el tamaño del código generado. Entre ellos se destacan el entorno RIDE, de Raisonance, y el uVision3, de Keil. Entre los compiladores C de distribución gratuita, podemos citar el SDCC. Ramtron provee headers para todos los mencionados.

En cuanto a la programación y debugging en circuito, Ramtron provee kits de desarrollo con interfaz JTAG, a un precio muy accesible. Tanto la programación como el debugging en circuito se realizan mediante un programa provisto por el fabricante, que soporta el código generado por una variedad de compiladores y assemblers, entre ellos los ya mencionados.